

Traitement de signaux radiofréquences sur FPGA : développement d'un outil d'assemblage de blocs

Porteur : M. Lenczner (FEMTO-ST)

Partners : J.-M. Friedt (SENSeOR), G. de Giovanni (NOISE XT), J. Boibessot (ARMADEUS Syst), P.-Y. Bourgeois (FEMTO-ST)

L'électronique numérique a été adoptée dans à peu près tous les domaines liés au contrôle, suite à l'identification

d'avantages clés qu'elle fournit face à l'électronique analogique : reproductibilité et stabilité dans le temps et quelque-soit l'environnement des composants (absence de dérive thermique ou de vieillissement),

reconfigurabilité et donc souplesse dans l'utilisation d'un même matériel dans diverses conditions ou mise à

jour des paramètres d'application, prototypage rapide sans nécessité de modifier le matériel et donc réaliser

de nouveaux circuits [1].

Le contexte qui nous concerne vise aux traitements de signaux radiofréquences en temps réel, et en particulier

par implémentation sur FPGA, pour les applications de temps-fréquence. Les bandes de fréquences envisagées sont l'analyse des oscillateurs 5-100 MHz, avec des niveaux de bruits à atteindre équivalents à ceux observés dans la littérature dans ce contexte, à savoir -160 dBc/Hz pour des écarts à la porteuse de 10-

10000 Hz [12], soit 20 dB de mieux que la littérature initiale sur le sujet [6, 8], et ce sur une bande de mesure

allant de la fraction du hertz à 10 MHz (palier de -185 dBc/Hz après mesure interférométrique annoncé [12]).

Cette activité s'inspire en partie de la pléthore de travaux concernant le traitement de signaux radiofréquences

ou micro-ondes défini par logiciel (Software Defined Radio), mais en se focalisant sur les aspects de traitement

analogique du signal plutôt que sur les aspects de démodulation de modes de transmission numériques tel que classiquement abordés [5, 6, 8, 9, 10].

Nous nous intéresserons aux chaînes de traitement du signal du type {source, traitement, puits} avec pour source une acquisition rapide d'informations scalaires, généralement de type de flux de coefficients I/Q puisqu'une transposition de fréquence reste encore nécessaire pour les bandes de fréquences considérées [2], comme traitement des algorithmes classiques de filtrage ou de démodulation pour identification de phase

et puissance [3], et pour puits des convertisseurs numérique-analogique permettant l'action sur les paramètres

pertinents de l'asservissement.

Deux problèmes sont identifiés lors de ce passage au numérique des chaînes de mesures :

1. un problème de physique concernant les performances des composants disponibles et leur limitation lors de l'acquisition de signaux. Des points tels que le bruit de phase de l'oscillateur cadencant la chaîne de mesure, fluctuations d'horloges (jitter) avec les conditions environnementales et courant de fuite de l'échantillonneur-bloqueur vont déterminer la pertinence de toute la chaîne de traitement numérique qui va suivre. Dans le cas d'asservissements, la rétroaction de ces bruits de mesure induira, comme bien connu dans le domaine des oscillateurs, une transposition sur la sortie si le bruit se trouve en dehors de la bande passante de la boucle d'asservissement, ou pourra en partie être éliminé par filtrage dans la bande passante de l'asservissement,

2. ayant acquis des signaux numérisés, l'extraction des grandeurs recherchées avec les précisions et exactitudes

imposées pose un problème d'algorithmique appliqué aux plateformes qui nous concernent – matrices de portes logiques (FPGA). Compte tenu des résolutions et stabilités ultimes recherchées, la garantie sur la résolution du calcul semble être un point clé pour valider le résultat des traitements. Une approche manuelle d'assemblage de blocs traitement des données de tailles ajustées aux besoins est certes envisageable, mais ouvre la possibilité d'erreurs humaines et une connaissance technique intime du matériel pour exploiter au mieux les ressources disponibles.

Notre volonté vise à étendre les activités en cours (thèse en cours de finalisation) de développement d'un outil d'assemblage de blocs de traitements optimisés pour l'architecture matérielle visée. Le point clé du travail passé, orienté vers le traitement d'images et donc sur des flux de données sensiblement identiques en terme de format et de débit à ceux observés dans les signaux radiofréquences, a été de tenir compte des temps de remplissage du pipeline de traitement, puis du temps de traitement des informations, avec si nécessaire inclusion de latences pour permettre la fusion des résultats issus de branches de traitements séparées. Cette activité est en collaboration étroite avec Armadeus Systems (thèse CIFRE), concepteur de plateformes électroniques numériques combinant un processeur généraliste et un FPGA partageant un bus de

données et d'adresses. Cette architecture nous paraît optimale pour le prototypage qui nous intéresse, car elle

permet de tirer le meilleur parti du processeur et de son système d'exploitation GNU/Linux fournissant les outils de communication classique, et le FPGA pour le traitement rapide et avec des contraintes de temps réel,

avec un échange efficace de données entre les deux unités de traitement par les bus de communication parallèles qu'ils partagent.