



Le réseau régional des électroniciens DR4-Ile de France et la Délégation Régionale Ile-de-France Sud du CNRS organisent la formation :

"Prototypage d'instruments scientifiques sur plateforme Zynq (carte Red Pitaya)"

du mardi 12 au jeudi 14 juin 2018 (de 9H30 à 18h00)

Lieu : **Bâtiment 503**
91405, ORSAY
Université Paris Sud

Intervenant : **Société KOHERON**

Cette formation s'adresse à un public d'électroniciens et d'instrumentalistes désireux de se familiariser avec les outils et les méthodes de développement d'instrument sur plateforme FPGA Zynq. Cette formation ne nécessite pas de prérequis spécifique, mais la connaissance d'au moins un langage de script (Python, Matlab) est néanmoins souhaitée.

Programme de la formation

La première journée sera consacrée à une initiation au Zynq et à la prise en main des outils de développement associés. Les notions suivantes seront abordées:

- Architecture générale du SoC Zynq : partitionnement hardware / software, entrées / sorties.
- Protocoles de transfert des données au sein du FPGA et entre le FPGA et le CPU : protocoles AXI4-Lite et AXI4-Stream.
- Briques de bases du FPGA : Block RAM, FIFO, PLL...
- Interfaçage des DACs et ADCs de la carte Red Pitaya : exemple de programmation d'un module en langage HDL (Verilog).
- Programmation et simulation d'une IP simple sous l'environnement de développement Xilinx Vivado.
- Récupération et visualisation de données issues de l'ADC à l'aide du langage Python.

Les deuxièmes et troisièmes journées seront consacrées à la réalisation d'un instrument complet (Analyseur FFT). Dans un premier temps, nous étudierons le besoin ainsi qu'une architecture susceptible d'y répondre. Cette architecture sera ensuite découpée en briques élémentaires. Chaque brique élémentaire sera développée, en lien avec les notions abordées lors de la première journée (acquisition du signal, récupération des données, traitement du signal, applications de calculs numériques et enfin visualisation des résultats).

Le développement de cet exemple d'instrument se fera de manière interactive. Les participants pourront avancer à leur rythme. Une remise à niveau aura lieu à la fin de la deuxième journée. A la fin de la troisième journée, les participants repartiront avec un design FPGA simple et fonctionnel qui pourra servir de base à la réalisation de leur propre instrument.